

Грошков И.Д.

Научно-образовательный центр воздушно-космической обороны «Алмаз-Антей». 121471, г. Москва, ул. Вере́йская д.41, строение 2. E-mail: info@nocsvko.ru  
 АО «Муромский завод радиоизмерительных приборов». 602267 г. Муром, Владимирская область, Карачаровское шоссе, 2. E-mail: global@mzrip.ru

### Применение ЦАП с удвоенной скоростью передачи данных для синтеза сигналов с использованием образов основной частоты

Приводится описание реализации цифрового формирователя, который позволяет использовать удвоенную тактовую частоту для расширения спектра сигнала, формируемого на выходе ЦАП.

В настоящее время для синтеза СВЧ сигналов широко применяются цифро-аналоговые преобразователи (ЦАП) использующие формат передачи данных с удвоенной скоростью (англ. Double Data Rate – DDR) [1-3]. В таких устройствах данные передаются как по переднему, так и по заднему фронту тактового сигнала.

Современные быстродействующие ЦАП могут поддерживать специальные режимы работы с расширением спектра формируемого сигнала [1, 4, 5]. В нормальном режиме работы амплитуда копий спектра формируемого сигнала (образов) уменьшаются с увеличением зон Найквиста по закону  $\sin(x)/x$  в соответствии с рис. 1 (а). Расширение спектра сигнала, формируемого на выходе ЦАП возможно в режиме работы с возвратом к нулю (англ. return-to-zero – RZ) в соответствии с рисунком рис. 1 (б). Благодаря эффекту передискретизации увеличивается амплитуда образов во второй зоне Найквиста [4, 5].

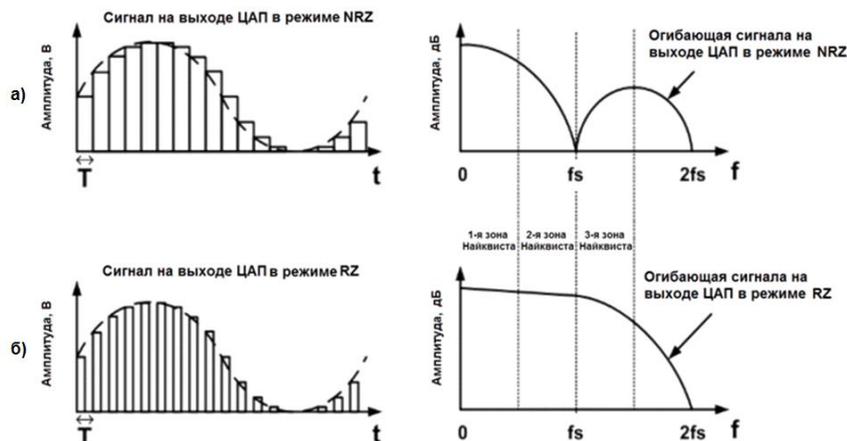


Рис. 1 – Сигнал на выходе ЦАП во временной и частотной области:  
 а) в нормальном режиме работы,  
 б) в режиме работы с возвратом к нулю

Однако некоторые ЦАП с удвоенной скоростью передачи данных не поддерживают режиме работы с возвратом к нулю [3], а его прямая реализация ограничена производительностью устройства формирования цифровых отсчётов.

На рис.2 приведена обобщенная структурная схема формирователя на основе радиочастотного ЦАП с удвоенной скоростью передачи данных, позволяющая реализовать синтез сигналов в режиме с возвратом к нулю, снизив требования к производительности цифрового формирователя отсчётов в два раза.

Генератор А4 тактирует ЦАП А2 с частотой  $f_{clk}$ . Тактирование внешнего цифрового формирователя отсчётов А1 осуществляется сигналом DCO, полученным с выхода делителя частоты (ДЧ) с коэффициентом  $\frac{1}{4}$ .

Цифровой формирователь обеспечивает выборку четырёх отсчётов из ПЗУ в соответствии с адресом полученным от аккумулятора фазы. Цифровые отсчёты данных S1-S4 группируются на чётные и нечётные пары с использованием регистров RG 1-RG 4 и затем мультиплексируются MUX 1 и MUX 2. DDR передатчик (DDR TX) транслирует чередующиеся

выборки данных S1-S4 через параллельный порт DA. На порт DB в качестве данных подаётся уровень логического нуля. Данные сопровождаются сигналом тактирования DCI.

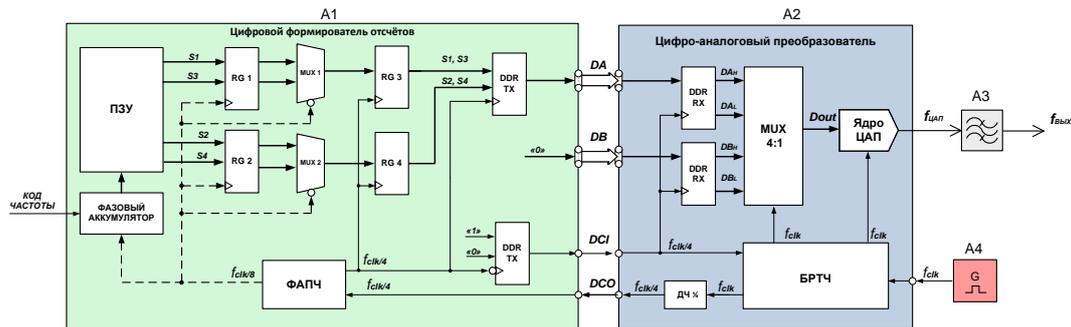


Рис. 2 – Структурная схема синтезатора на основе радиочастотного ЦАП с удвоенной скоростью передачи данных

DDR приемник ЦАП (DDR RX) фиксирует данные по переднему (DA<sub>H</sub>, DB<sub>H</sub>) и по заднему (DA<sub>L</sub>, DB<sub>L</sub>) фронтам сигнала DCI с частотой fclk/4. Мультиплексор MUX, чередует отсчёты, обеспечивая обновления данных D<sub>OUT</sub> с частотой fclk.

Временная диаграмма управляющих сигналов при работе ЦАП приведена на рис.3.

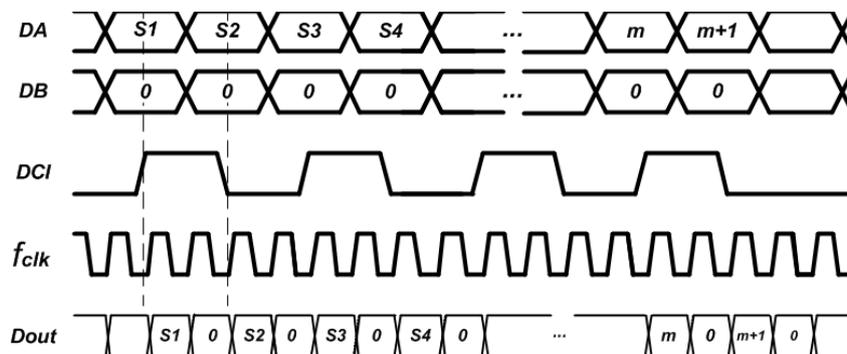


Рис.3 – Временная диаграмма управляющих сигналов при работе ЦАП с удвоенной скоростью передачи данных в режиме с возвратом к нулю

Таким образом, происходит дублирование данных, что позволяет передавать данные только по одному из каналов, снизив требования к производительности цифрового формирователя отсчётов в два раза. Реализация предложенного режима работы позволит увеличить амплитуду образов основной частоты, вследствие чего отпадает необходимость применения многокаскадных усилителей на выходе ЦАП.

### Литература

1. 14-Bit, 2.5 GSPS, RF Digital-to-Analog Converter AD9739 [Электронный ресурс]: сайт компании Analog Devices, Inc., 2023. URL: <https://www.analog.com/media/en/technical-documentation/data-sheets/ad9739.pdf> (Дата доступа 03.01.2023).
2. EV12DS130AG EV12DS130BG Low Power 12-bit 3 Gbps Digital to Analog Converter with 4/2:1 Multiplexer Datasheet DS1080 [Электронный ресурс]: сайт компании Teledyne e2v Semiconductors SAS. URL: <https://www.e2v.com/resources/account/download-datasheet/2401> (Дата доступа 04.11.2022).
3. LTC2000A 16-/14-/11-Bit 2.7 Gbps DACs [Электронный ресурс]: сайт компании Analog Devices, Inc., 2022. URL: <https://www.analog.com/media/en/technical-documentation/data-sheets/2000afb.pdf> (Дата доступа 04.11.2022).
4. Jaecheol Y. A Return-to-zero DAC with Tri-state Switching Scheme for Multiple Nyquist Operations / Jaecheol Y., Yun-Hwan J., Taegeun Y. // Journal of semiconductor technology and science, Vol.17, NO.3, June, 2017
5. Храмов К.К., Ромашов В.В. Сравнительный анализ режимов работы быстродействующих ЦАП / Радиотехнические и телекоммуникационные системы. 2018, №4. С. 44 – 54.